

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-194205

(43)Date of publication of application : 30.07.1996

(51)Int.Cl.

G02F 1/133  
G02F 1/1343  
G09G 3/36

(21)Application number : 07-005742

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.01.1995

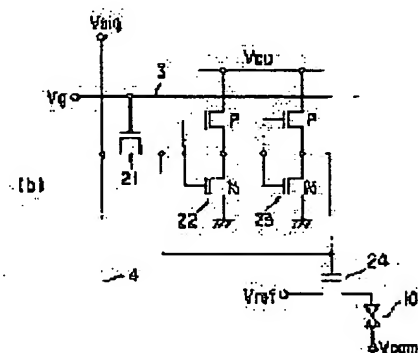
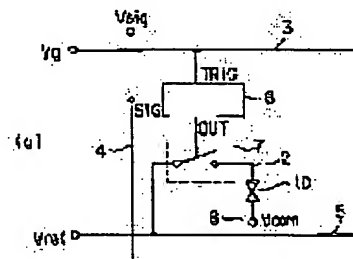
(72)Inventor : MOTAI TOMONOBU  
SUZUKI KOHEI

## (54) ACTIVE MATRIX TYPE DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To provide an active matrix type liquid crystal display device with which the reduction of the electric power consumption of a driver IC is possible.

**CONSTITUTION:** This active matrix type liquid crystal display device has pixel electrodes 2 which are arranged in a matrix form on a first substrate, scanning lines 3 which are arranged in the horizontal direction between these pixel electrodes 2, signal lines 4 which are arranged in the vertical direction between the pixel electrodes 2, memory elements 6 of a static type which are respectively arranged in the respective intersected parts of the scanning lines 3 and the signal lines 4 and hold the binary display signals from the signal lines 4 according to the scanning signals from the scanning lines 3, switching elements 7 which are connected at one-side terminals to the pixel electrodes 2 and at their other-side terminals to wirings 5 applying reference potential and are turned on and off by the signals held in these memory elements 6, a second substrate which is arranged to face the first substrate and is provided with counter electrodes 8 so as to face the pixel electrodes 2 and a liquid crystal layer 10 which is disposed between the first and second substrates.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Laid-Open Patent Publication No. 8-194205/1996

(Tokukaihei 8-194205)

(Published on July 30, 1996)

**(A) Relevance to Claims**

The following is a translation of passages related to all the claims of the present invention.

**(B) Translation of Relevant Passages**

[0026] Fig. 2(a) is a circuit diagram showing the arrangement of a pixel of the present embodiment. A binary-data-holding memory device 6 has an output section to output stored data and is connected to each intersection of scan lines 3 and signal lines 4 that are disposed to form a matrix. To the output section is connected a control terminal of a three-terminal switch 7 which controls the resistance between a reference line 5 and a pixel electrode 2 to adjust the bias applied to a liquid crystal layer 10.

[0027] As an example, the memory device in Figure 2(a) is a static memory device, a memory circuit that includes two-stage inverters to form a feedforward loop. An advantage of the circuit is that it can be built around

-2-

a transistor element which is unusable as an analogue signal element due to its poor off characteristics.





(5)

1:n:n:anで規定した場合には $n=1\sim10$ 、 $n$ は $n=2\sim10$ が良好な設計条件である。  
 (0029) 図3(a) (b) 及び図4(a) (b) にその他のメモリ素子を使用した1個素子の回路構成例を示す。図3(a)と(b)、図4(a)と(b)は、それぞれスライツ素子の接続位置が異なる構成例を示している。従来回路より表示素子の構成が減少するため、回路の表示素子では光利用効率が増加する。反対型の液晶表示装置では反射型下にメモリ素子などを形成できるため本表示素子による光利用効率の低下は生じない。

(0030) 駆動波形は、図5のように従来の液晶表示装置の駆動のように順次駆動となる。走査線3に順次走査パルスを加し、これに同期させたメモリ素子6にスライツ素子7の同期を制御する信号を信号線4を通して入力する。一方、共通回路(対向回路8)には交流信号を入力する。上述の通り、液晶材料の低抵抗とスライツ素子の低抵抗の条件が満足されれば、上記回路・駆動で良好な表示が可能となる。

(0031) 本装置は駆動上、停止回路のように表示画面に変化がなかなければ、メモリ素子6へのリフレッシュは不要である。しかし、図5のように、単純な矩形波入力力による駆動では、スライツがオン状態からオフ状態へ切り替わる時にスライツ側の液晶抵抗が、交流駆動信号の低い抵抗値に比べてどちらかの抵抗状態に固定化されるので、液晶部に直流成分が加わることとなる。よって、表示性能を向上するためには、スライツがオフ状態へ切り替わるときの液晶抵抗値設定のための、リフレッシュ期間を設ける必要がある。

(0032) 図6は駆動方法として、図6(a)のように、共通回路の交流信号の間にスライツ同期を設ける方法がある。従来型のデバイスでは、図11(a)の液晶79やスライツ素子77のリーク電流による抵抗低下を規定する信号78を液晶信号に並列接続しているために、信号の立ち上がり時間を短縮することが容易でなかった。本発明の素子では、図2(b)のように、スライツ素子71のゲート回路の間の信号を送るのみであるために、リフレッシュの期間に従来型の素子に見られる走査時間よりも短く済む。

(0033) また、図6(b)のように、全画面を連続的にリフレッシュせず、リフレッシュするラインの期間を分割し、短形信号である液晶駆動信号間に入力することも可能である。代入法は、一定時間見た場合に全ライン上のメモリがリフレッシュされることが望ましいが、走査ラインの一定位置で、表示画面が変化する場合、例えば点は表示位置が固定位置である場合には、該当する表示ラインにのみリフレッシュすることでも可能である。

(0034) なお、図6(b)において、Tgはリフレッシュパルス値、1は1回のリフレッシュライン数である。

り、1画面書き増えのためのリフレッシュ回数は、(ゲートライン数)/1で定数される。

(0035) このように本装置例によれば、1個素子にスタティック型のメモリ素子6を設け、この素子6の記憶回路でスライツ素子7を駆動するようにしている。表示回路が変化しない場合には、メモリ素子7への記憶の書き換えは不要である。このため、走査信号や記憶信号を周期的に書き加える必要がなくなり、ドライバICで消費される電力が大幅に低減される。

(0036) また、メモリ素子6がスタティック型であることから、前記図11(b)に示した従来のように、大容積の負荷容量C1やこれを駆動する能力を持つ大きなスライツ素子T1を必要とすることはなく、この点からも消費電力の低減に有効である。さらに、本装置例では、スライツ素子のオフ特性値はリフレッシュ回路の駆動が抑制され、全表示素子の書き換え時間1個素子の書き換え時間を短縮することが可能となる。

(0037) 本装置例において、アモルファスシリコン回路を使用した10インチクラスのTFT-LCDでの消費電力試験は、表示画面を白でない状態で10mm、毎秒一画面の白換え状態としても300mW未満と、従来と比較して、50分の1の大幅な低消費電力化が実現できた。

(実施例2) 図7は、本発明の図2の駆動回路に開くアクリエトリック素子型液晶表示装置を説明するためのもので、(a)は1個素子構成を示す回路図、(b)はメモリ素子の構造断面図である。

(0038) 本装置例は、基本例には図1の実施例と同様であるが、図7(a)に示すように、メモリ素子30として白化可能な不透明性メモリを用いている。メモリ素子30の具体的な構成は図7(b)に示す通りであり、従来の逆スタゲート型TFTのゲートを2口構造としたものである。図中の31は基板、32は第1ゲート(制御ゲート)、33はゲート絶縁膜、34は第2ゲート(清道ゲート)、35はトネル絶縁膜、36はa-Si等の活性層、37は駆動電極線、38a、38bはソース・ドレイン電極である。

(0039) 白化の回路は、従来回路のスライツ回路の目次である107回以上の書き換え動作を満足することが望ましいが、防止回路が主体となる表示回路であるならば、書き換え回数は100~1000分の1に減少させることが可能で本装置例のメモリ素子として利用できる。上述のメモリ素子は、EEPROM形成となっているが、駆動材料の記憶回路に書き換え(ドレーン-エカ-ア)が、ヒステリシスを特性を有する材料で形成される場合も同様の表示回路が形成可能である。

(0040) 具体的には、図8に示すように、ヒステリシスを有する駆動材料をゲート絶縁膜として利用することでメモリ素子を作成し、メモリ素子に加える駆動信号を制御することで、メモリ素子のリセット、メモリ

の信号書き込みを行う。図のように、メモリ素子に高抵抗状態を接続する方法に加えて、直接表示回路にメモリ素子の接続も駆動信号の改良により可能である。

(実施例3) 図1の実施例では、Vcom (共通電圧8) のみに交流信号を入力して液晶材料を駆動しているが、交流信号はVref (参照電圧5) 側に入力してもよい。Vrefに交流信号を入力した場合、液晶10を介して多量な共通電圧8との結合容量による共通電圧変動の増加が懸念される。この変動対策としては、参照電圧5毎に駆動信号の符号を反転させた信号を利用する方法があり、さらに交流駆動信号の同期を走査線同期にすることも可能である。

(0041) 一方、交流信号をVcom とVref の両方に入力し、駆動することも可能であり、駆動信号用ドライバICの低抵抗化が可能となる。この駆動は、Vcom のみを交流駆動した場合と比較して、ドライバICの出力端子1個に流れる電流は小さい、出力される電圧は低くなり、ドライバICが消費する電力を下げることで可能となる。

(0042) 各装置例におけるメモリ素子の活性層を形成する材料としては、単結晶シリコン、多結晶シリコン、アモルファスシリコンが考えられるが、特に本装置の表示素子は、3端子スライツ素子の動作が可能な素子であれば、無偏極の低抵抗の比が105倍程度であることが望ましいが、低抵抗100倍程度であっても実用が可能と見なされる。これは、活性層を有機材料で150℃程度の低い温度、短い時間を必要としたアモルファスシリコンなどの使用も考えられるようになり、各材料のプロセス上の制約、素子構造上の制約が緩和される。(0043) また、アモルファスシリコン工程を施した素子などで、従来では表示素子として不十分なスライツ特性の素子であっても、さらに高いコンタクト表示が与えられる。また、図2(b)中の素子24を各相ユニバーサルな方法で性能向上することでサイズの小型化を実現できる。一方、表示材料の液晶においても、液晶学的な材料特性が、通常使用回路で観測されないものである。リリカが規定されにくい異相間の交流信号(〜10秒)に規定することも可能である。

(実施例4) メモリ素子のリフレッシュをする方法は、上述の通り表示画面に変化が生じているラインにのみ書き換えることで、他の防止回路表示部分の消費電力を抑えることが実現できた。本装置例では、従来の白化駆動(走査線駆動)を白化駆動部分に付加した走査駆動を形成できるが、駆動された駆動部分に付加した走査駆動をスキップすることが必要となる。駆動部分を正確に駆動し、駆動部のみの信号を低抵抗で書き換えることは、単に走査線駆動を減少させる効果から低消費電力化となるが、駆動ICの形成が複雑となり、かえって消費電力の上昇を招くことになる。

(6)

(0044) そこで、駆動表示部の指定ライン数をプロック化することで、トータル駆動ICの消費電力の低減化される。プロック化するライン数としては、10~200、望ましくは50~100の走査線数とし、プロック化したラインの指定方法は、駆動信号の入力部に駆動メモリを設け駆動部分を読み出し、読み出した走査ライン部のプロック位置と信号を駆動ICへ出力する。この出力をもとに、駆動表示部分に付加したメモリ素子への信号供給を行う。

(0045) 外部に駆動メモリを有することは、該当するメモリの消費電力が本表示素子の消費電力に比べ低減されなければならない。理想では、表示画面毎に駆動メモリを持つ必要があるが、例えば同一走査ラインの表示信号を一定期間或いは逐次全てサンプリングして、2回駆動をカウソットした後、記憶してある前カウソットデータとの比較を行うことで、簡単に駆動を読み出すことができる。

(0046) この方法では、表示画面がオン状態の駆動が同じであった場合には、駆動表示であっても駆動した走査ライン部のメモリデータの合計を使用し、その比較により、駆動駆動の発生は大幅に減少可能となる。一方、本カウソット方式で駆動となるのは、サンプリング部とカウソット部で発生するカウソットミスである。カウソットミスが多い場合には、全てを駆動と駆動してしまうために本駆動回路の効果が期待できない。そこで、比較時に予めカウソット誤差を吸収することで、本駆動を解決できる。

(0047) 駆動メモリと駆動メモリ間から駆動の情報を得る駆動出力部の形成を簡略化する方法としては、表示駆動に半導体的な表示の読み付けをする方法も考えられる。具体的には、パソコ等のソフトウエアの多くは、表示画面の周辺部に駆動用或いは駆動表示の画面を有することが多い。この駆動用の画面表示の多くは、変化することが多くない。このような場合、代表的なソフトウエアに対しては、予め駆動表示が多くなり駆動が分かっているだけで、その情報は表示に対する走査信号のリフレッシュの読み付けをすることが可能となる。

(0048) 駆動のソフトウエアに関しては、停止回路である駆動がない表示駆動が存在する場合には、ユーザがその領域を指定することで読み付けすることも可能となる。PDA等の操作画面がある液晶表示可能な装置に關しては、表示駆動に駆動のソフトウェアを読み付けを予め決めつつおき、DIP-SW等のスイッチで指定する方法も可能である。

(0049) また、駆動駆動の動作画面等において、駆動画面の表示状態が変化する場合、駆動結果を表示する部分や操作領域をユーザの部分が生じとなる。加えて、これらの駆動結果は、ユーザが操作パネルを操作しない場合は、駆動結果の表示のみが変化される。

(7)

ことが予め分かっているため、測定結果表示の部分に対応した画面を走査してメモリ素子への信号供給を行えばよいことになる。

【0050】この場合も、表示装置側の設定で対応できる。さらに細かくは、画面表示で走査されるライン数が少なければ、本装置の効果が低くなるので、画面表示部分が特定の走査ライン上に集中するように、画面表示の画面をシャフトすればよい。

(実施例5) 図9は本発明の第5の実施例に係わるアークテラトリックス型液晶表示装置の1フロックの概略回路構成図である。

【0051】ここでは、4ビット16階調表示の場合である。表示装置全体の画素フロック数を $M \times N$ 個としたときの $i$ 番目のフロック( $i$ は1〜 $M$ 、 $j$ は1〜 $N$ )について示している。パソコンで現在主波のVGA規格の表示の場合、 $M=640$ 、 $N=480$ となる。

【0052】画面X方向のアークテラトリス線ADS-Xiと画面Y方向のアークテラトリス線ADS-Yiとの交点にANDゲートGijが設けられ、その出力と4本の画素データ線D0〜D3の各々の交点にANDゲートG0ij〜G3ijが設けられている。ANDゲートG0ij〜G3ijの出力はメモリ素子M0ij〜M3ijに接続され、メモリ素子M0ij〜M3ijの出力はスイッチングラジスタT0ij〜T3ijのゲート極に接続され、スイッチングラジスタT0ij〜T3ijのオンオフを制御する。スイッチングラジスタT0ij〜T3ijのソース又はドレイン極の一方は第1の共通位相線COM1に、他方は画面位相線 $\phi$ を介して画面の液晶P0ij〜P3ijに接続されている。

【0053】なお、本実施例のメモリ素子は第1の実施例で用いたようなスタティック型に限らず、ダイナミック型でもよいし、さらにEEPROMでもよく、各種の方法を利用することができる。

【0054】画面位相線の面積はそれぞれ異なり、図10に示すように、P0に対応した画面位相線の面積を1とするとP1は2倍、P2は4倍、P3は8倍になっている。画面の液晶P0ij〜P3ijの面積は共通位相線である第2の共通位相線COM2に接続されている。第1の共通位相線COM1と第2の共通位相線COM2の間には交流の液晶駆動電圧DRVが接続されている。

【0055】本実施例の動作は次のようになる。4ビットの画素データは、画面X方向のアークテラトリス線ADS-Xiと画面Y方向のアークテラトリス線ADS-Yjが共にアークテラトリス線M0ij〜M3ijに駆動され、次に再び走査されるまでの状態を保持し続ける。対向位相線には、用いた液晶の駆動に必要な一定の交流電圧(例えばは現在一般に使われているTN液晶では±5Vの10V程度の電圧)が印加されている。この1画面毎に設けられたメモリ回路M0ij〜M3ijによって制御されるスイッチングラジスタT0ij〜T3ijによって、画面の

液晶P0ij〜P3ijには上記駆動電圧が印加されるが印加されないかが制御され、所望の表示状態が維持される。

【0056】従来のアークテラトリックス液晶表示装置では、データ線駆動回路や制御回路の内部等画素口やデータ線駆動回路各負荷の充放電、対向位相線口の高速充放電のなどに大部分の電力が消費されていたが、本実施例では、従来のように表示画面が変化しなくても交流駆動のためにデータ線に一定周波数の電圧を反転させた信号を印加する必要がなく、データ線駆動回路や制御回路はほぼ停止状態のため、そこで消費される電力は殆ど無視できるほど小さくなる。唯一消費される電力は対向位相線の交流駆動によるものとなるが、これはフリッカが視認されない程度の例えば60Hz以下の低い周波数で十分ため、消費電力は従来の駆動の100分の1から1000分の1程度に低減される。

【0057】この理由を、以下に説明する。対向位相線全体の容量 $C_{com}$ は、位相線幅 $S$ と液晶の誘電率 $\epsilon$ 、ギャップ $d$ では決定され、 $C_{com} = \epsilon S / d$ となり、1インチクラスの液晶表示装置の場合その容量は0.1〜0.3μF程度である。この容量に消費電流 $i_{drv}$ 、電圧 $V_{drv}$ の交流電圧で充放電されるに消費される電力 $P_{com}$ は、 $P_{com} = C_{com} \cdot f_{drv} \cdot V_{drv}^2$ で与えられ、±5Vで60Hzで駆動した場合に0.15mW〜0.45mWと非常に小さいものになる。実際には、液晶のリーク抵抗やメモリ回路や駆動回路内のリーク電圧による電力消費がそれに加わり、全体としての消費電力はそれでも1mWから数10mW程度に小さく抑えられる。

【0058】さらに、画面位相線が所定数毎にフロッキングされ、そのフロッキング内の画面位相線の寸法がそれぞれ異なっていることにより、1フロックとして画面位相線によるデジタル多相駆動表示が容易となる。従来の駆動法でこのような画面位相線表示をしようとしたときの以下の問題が発生せず、極めて画面の表示品位が向上される。

【0059】従来の駆動では、TFTなどのスイッチ素子が持つ寄生容量によってスイッチング時に、表示性能に悪影響を及ぼす画面位相線のレベルシフトが発生するが、このレベルシフトは上記寄生容量と画面位相線各口とのスイッチングノイズ伝導の分配比で決定され、画面位相線の寸法が異なるレベルシフト量は画面位相線毎に異なり、対向位相線の駆動によっても異なっていることが明らかであり、実質的に画面位相線は不可能であった。

【0060】本実施例では、このスイッチングノイズ伝導によるレベルシフトは、液晶のリーク抵抗を通じてスイッチング終了後の初期に消滅するため、表示性能に悪影響を及ぼすことがなく、画面位相線によるデジタル多相駆動表示が可能である。また、この方法では液晶の1画面の表示状態ではオンス又はオフの2状態であるため、中間表示時でも視野角は広く、表示むらやフリッカもな

(8)

い極めて良好な表示品位が得られる。

【0061】なお、本発明は上述した各実施例に限定されるものではない。実施例では、表示材料として液晶を用いたが、これに限らず他の材料を用いることができる。例えば、ELやプラズマディスプレイ等にも適用することが可能である。また、液晶の場合は、反射型に限らず透過型に適用することも可能である。その他、本発明の要旨を逸脱しない範囲で、様々な変形して実施することができる。

【0062】

【発明の効果】以上詳述したように本発明によれば、1画面毎にスイッチ素子を制御するためのスタティック型のメモリ素子を設けているので、走査信号や画面信号を階層的に信号を加える必要がなくなり、フライバックで消費される電力を低減することができる。従って、従来の液晶駆動の小型化、或いは充放電回路駆動の使用時間延長を可能とする。

【0063】また本発明によれば、所定数の画面毎にフロッキングして階層表示を行う方式において、1画面毎にスイッチ素子を制御するためのメモリ素子を設けているので、スイッチングノイズ伝導によるレベルシフトを抑えることができ、フライバックの消費電力を低減することができる。かつ画面位相線によるデジタル階層表示を行うことが可能となる。

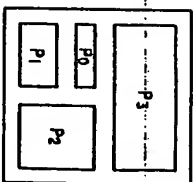
【画面の簡単な説明】

【図1】第1の実施例に係わるアークテラトリックス型液晶表示装置の基本構成を示す素子配置断面図と回路構成図。

【図2】第1の実施例の1画面部構成を示す回路構成図。

【図3】第1の実施例の変形例を示す回路構成図。

【図10】



【図4】第1の実施例の変形例を示す回路構成図。

【図5】第1の実施例における駆動信号の一例を示す図。

【図6】第1の実施例における駆動信号の他の例を示す図。

【図7】第2の実施例に係わるアークテラトリックス型液晶表示装置の1画面部構成を示す回路図とメモリ素子の構造断面図。

【図8】第2の実施例における駆動信号の一例を示す図。

【図9】第5の実施例に係わるアークテラトリックス型液晶表示装置の1フロックの概略回路構成図。

【図10】1フロックにおける画面の大きさ及び配置例を示す図。

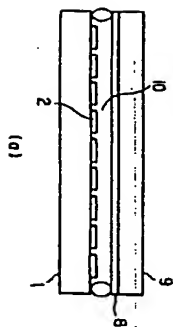
【図11】従来のアークテラトリックス型液晶表示装置を示す回路構成図。

【符号の説明】

- 1...第1の基板
- 2...画面位相線
- 3...走査線
- 4...信号線
- 5...制御線
- 6...メモリ素子
- 7...スイッチ素子
- 8...対向位相線
- 9...駆動のガラス基板
- 10...液晶口(表示材料口)
- 21...スイッチ素子
- 22, 23...インバータ素子
- 24...スイッチ素子

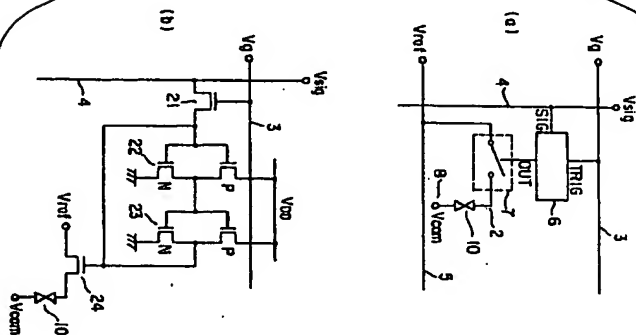


【図1】

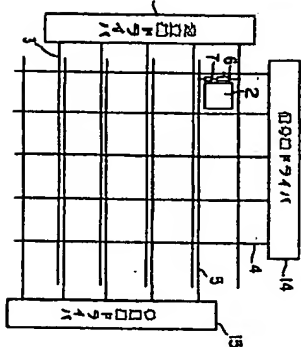


(9)

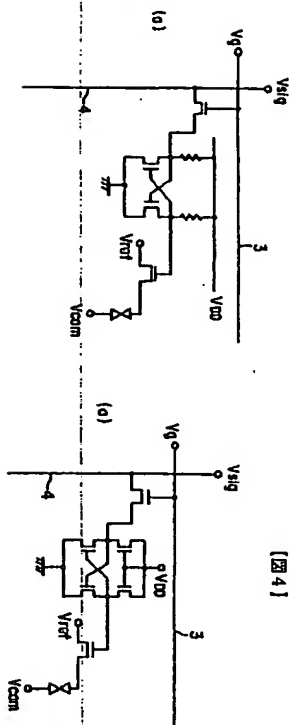
【図2】



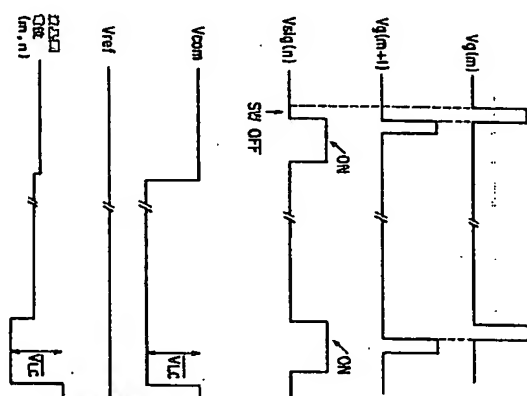
【図3】



【図4】

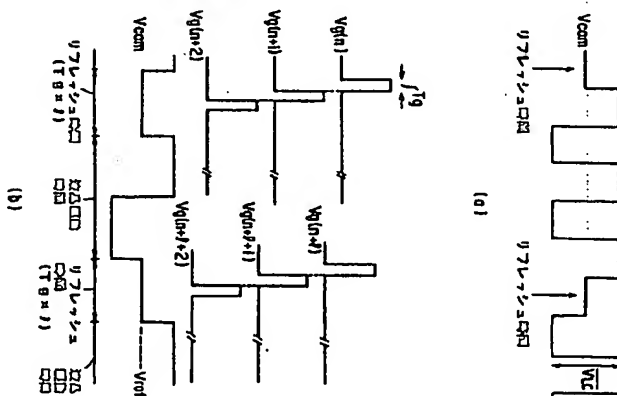


【図5】

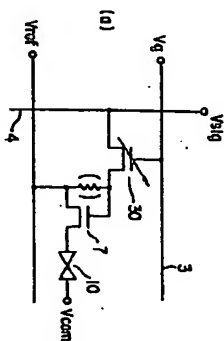


(10)

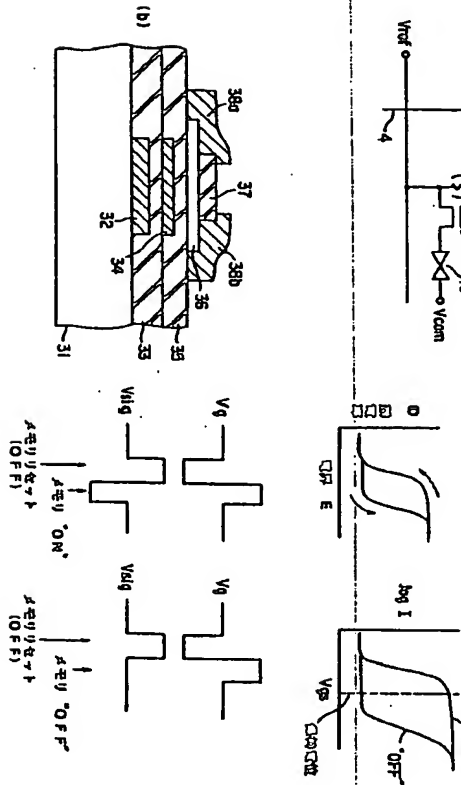
【図6】



【図7】



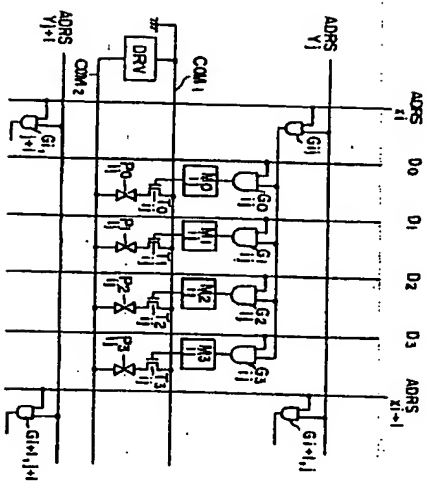
【図8】



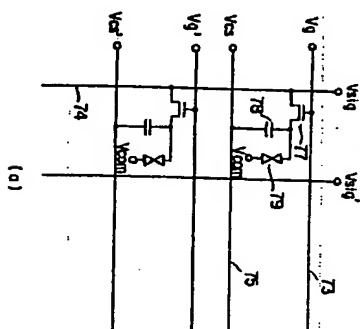


(11)

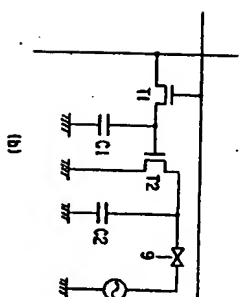
[図9]



[図11]



(a)



(b)